

(3) Japanese Patent Application Laid-Open No. 8-250583 (1996)

“Improved Trench-Isolated FET Device and Method of Manufacturing the Same”

5 The following is an extract relevant to relevant to the present invention:

It is an object of this invention to improve subthreshold leakage characteristics in a trench-isolated FET device.

To attain the foregoing object, a vertical slot is formed in a stack structure 14 adhered to a silicon substrate 10 which is covered with oxide 12. Subsequently, spacers 20A and 20B are formed on sidewalls of the slot. Next, a trench 22 is formed in the substrate by an etching process. Then, the spacers are removed, so that horizontal ledges 28A and 28B appear on an exposed surface of the substrate covered with the oxide, adjacent to the trench. Thereafter, suitable impurities are implanted into the ledges in a vertical direction, thereby suppressing conduction at an edge of the device.

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-250583

(43)公開日 平成8年(1996)9月27日

(51) Int.Cl. ^o	識別記号	庁内整理番号	F I	技術表示箇所
H 01 L	21/76		H 01 L	21/76
	21/265			21/265
	21/768			21/76
				21/90
				L
				R
				S
				D

審査請求 未請求 請求項の数10 O L (全 10 頁)

(21)出願番号	特願平7-322757
(22)出願日	平成7年(1995)12月12日
(31)優先権主張番号	370703
(32)優先日	1995年1月10日
(33)優先権主張国	米国(US)

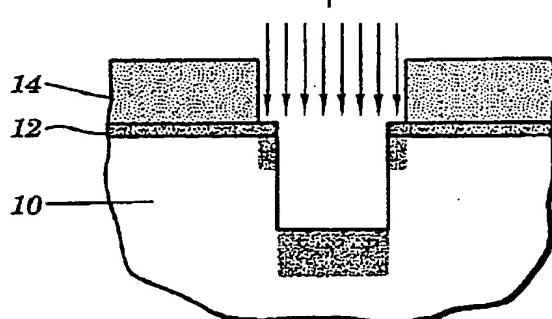
(71)出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク(番地なし)
(72)発明者	トシハル フルカワ アメリカ合衆国05452、バーモント州エセックス・ジャンクション、オークウッド・レイン 9
(74)代理人	弁理士 合田 澄(外2名) 最終頁に続く

(54)【発明の名称】 改良トレンチ分離型FET素子とその製造方法

(57)【要約】

【課題】 トレンチ分離型FET素子の閾値以下の漏洩電流特性を改善すること

【解決手段】 酸化物12で覆われたシリコン基板10の上に付着させた積上げ構造体14の中に垂直方向のスロットを形成し、その後にスロットの側壁にスペーサ20A、20Bを形成する。次に基板中にエッティングによってトレンチ22を形成する。スペーサの除去により、トレンチに隣接して、酸化物で覆われた基板の露出した表面上に水平のレジ28A、28Bが現れる。次にこのレジに適切な不純物を垂直方向に注入し、それにより素子中の端部導通を抑制する。



【特許請求の範囲】

【請求項1】 トレンチ分離型FET素子の閾値以下の漏洩電流特性を改善するための方法であって、(a)酸化膜で覆われたシリコン基板上に設けられた積上げ構造体中に、前記酸化物の表面で終端する垂直なスロットを形成し、(b)前記スロットの側壁にスペーサを形成し、(c)前記スロットと実質的に自己整合し、かつ底部と、実質的に垂直な側壁と、前記スペーサの底部間の間隔にほぼ等しい幅とを有するトレンチを、前記基板中にエッチングし、(d)スペーサを除去して、前記酸化物で覆われた前記基板の露出した表面上に、前記トレンチに隣接した水平なレッジを露出させ、(e)前記レッジ中に垂直に不純物を注入することを含む方法。

【請求項2】 前記レッジの長さが、ほぼ100オングストロームからほぼ2,000オングストロームの範囲にある、請求項1に記載の方法。

【請求項3】 前記レッジの長さが、ほぼ100オングストロームからほぼ1,500オングストロームの範囲にある、請求項2に記載の方法。

【請求項4】 前記レッジ中に注入される不純物原子の濃度が、1立方センチ・メートル当りほぼ 5×10^{16} 原子から、1立方センチ・メートル当りほぼ 5×10^{18} 原子の範囲にある、請求項1に記載の方法。

【請求項5】 前記レッジ中に注入される不純物原子の濃度が、チャネル部分への不純物添加濃度の最大値のほぼ2倍からほぼ4倍である、請求項1に記載の方法。

【請求項6】 前記トレンチの側壁に注入される不純物原子の濃度が、前記レッジに注入される不純物原子の濃度のほぼ30%より小さい、請求項1に記載の方法。

【請求項7】 前記トレンチの側壁に注入される不純物原子の濃度が、前記レッジに注入される不純物原子の濃度のほぼ10%より小さい、請求項6に記載の方法。

【請求項8】 トレンチ分離型FET素子の閾値以下の漏洩電流特性を改善する方法であって、シリコン基板の表面に、前記基板中のトレンチに隣接した水平なレッジを形成し、そのあとで前記素子の端部導通を抑制するのに十分な量の不純物を前記レッジに垂直に注入することを含む方法。

【請求項9】 改良されたトレンチ分離型FET素子を形成するのに有用な保護用構造体であって、(a)スロットを有する積上げ構造体によって覆われている、酸化膜で覆われたシリコン基板と、(b)前記スロットと実質的に自己整合し、かつ底部及び実質的に垂直な側壁を有する、前記基板中に延びたトレンチと、(c)前記積上げ構造体によって覆われてない、前記酸化物で覆われた前記基板の上面部分によって形成され、かつ前記トレンチの上部の縁から所定の長さで設けられた水平なレッジと、(d)1立方センチ・メートル当りほぼ 5×10^{16} からほぼ 5×10^{18} 個の不純物原子濃度で、前記レッジ中に注入された不純物とを含み、(e)前記トレンチ

の側壁に注入される不純物原子濃度が、前記レッジに注入される不純物原子濃度のほぼ30%より小さい保護用構造体。

【請求項10】 保護用構造体を持つFET素子であって、前記保護用構造体が(a)スロットを有する積上げ構造体によって覆われている、酸化膜で覆われたシリコン基板と、(b)前記スロットと実質的に自己整合し、かつ底部及び実質的に垂直な側壁を有する、基板中に延びたトレンチと、(c)前記積上げ構造体によって覆われてない、前記酸化膜で覆われた基板の上面部分によって形成され、かつ前記トレンチの上部の縁から所定の長さで設けられた水平なレッジと、(d)1立方センチ・メートル当りほぼ 5×10^{16} からほぼ 5×10^{18} 個の不純物原子濃度でレッジ中に注入された不純物とを含み、(e)前記トレンチの側壁に注入される不純物原子濃度が、前記レッジに注入される不純物原子濃度のほぼ30%より小さいFET素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は概して半導体素子に係わり、より明確には、電界効果トランジスタ素子の閾値以下の漏洩電流特性の改善手法に係わる。

【0002】

【従来技術】電界効果トランジスタ(FET)は、アナログ・スイッチ、極端に高い入力インピーダンスを持つ増幅器、電圧制御できる抵抗器等、多様な電子的応用分野で非常に有用な素子である。このトランジスタは、メモリ・チップやマイクロプロセッサに使用されているもののように、大規模集積回路(LSI)，超大規模集積回路(VLSI)用として特に有用である。

【0003】高性能の相補型金属酸化膜半導体(CMOS)回路に使用されるFETは、凹んだ領域の酸化物領域を埋めるものとして、先進的な分離技法を必要とする。1つの非常に一般的な分離技法は、LOCOS(Local Oxidation of Siliconシリコンの局部酸化)として知られており、例えば米国特許第4,965,221号に記述されている。LOCOSはある種のCMOS用としての用途には適しているが、いくつかの欠点をもっている。例えば、LOCOSの手法は高密度を追及するメモリー用途において、ミクロンより相当小さい寸法に対しては適切ではない。なぜならばこの手法を使うと、この業界で一般に「鳥のくちばし(bird's beak)」と呼ばれている望ましくない分離領域の侵食が、素子の活性領域に対して起きてしまうからである。ドーピング(不純物添加)領域を侵食する問題も起こり得る。

【0004】現在の技術の観点では、浅いトレンチ分離(STI)技法は、LOCOS手法のいくつかの面に対して、特に高密度CMOS回路において十分な改善効果をもたらしている。例えばSTI技法を使うと、素子の

分離幅を形成するに当たって、最小のフォトリソグラフィックな寸法を完全に実現することができる。この場合、より高密度な回路設計が可能になる。STI技術の使用はまた、「ラッチ・アップ」に対する抵抗力をはるかに大きくすることができる。STIの概略は、B. Davari外によって1988年のIEDM'88、技術ダイジェスト、カタログ番号、88 CH2528-8、ページ92~95に記述されている。

【0005】STI技術の使用は、多くの望ましい回路素子特性をもたらす一方で、この技法もまたいくつかの欠点をもっている。STI技術に共通の1つの大きな欠点は「端部導電（edge conduction）」の存在であり、即ち埋められた酸化物トレンチの上部と、隣接するシリコン・メサとの間の、上部領域中の過度な漏洩電流である（図1には後述のようにこの領域が描かれている）。大きな端部伝導性を示すFET素子は、大きな寄生的漏洩電流が存在するものとして性格付けられ、この性格は非常に望ましくなく、ほぼ0.1nA/ミクロン以上の漏洩電流を許さない低消費電力の応用においては、特に望ましくない。

【0006】端部導通を減らす1つの明白な手法は、素子全体、即ち端部及びブレーナ（平坦部）の両方に均一に不純物添加をすることである。しかしこの解決策は完全に満足できるものではない。なぜならばブレーナ部の閾値も、端部の閾値も増加するからである。そして失われるブレーナ部の電流駆動の量は、抑制された漏洩電流の大きさを上回る。更にこのレベルで不純物添加された素子は、不純物添加がもたらす電界勾配によって引起される、漏洩電流による閾値変化を受けやすい。

【0007】端部導通を減らすもう1つの試みは、活性な端部マスクを使用するものである。この技法の一例として先ずホウケイ酸ガラスの層が、素子の境界を定めるトレンチの表面上にデポジット（付着）され、その後で漏洩電流を抑制する必要のある区域に残るようにパターン化される。不純物添加がそのあとで行われ、不純物はトレンチ全体に拡散する。

【0008】活性な端部マスクの使用は実際に端部導通と、付随する寄生的な漏洩電流を減少させるが、新たな問題も発生する。例えばトレンチの垂直の側壁に不純物が添加されるために、素子のソース・ドレイン拡散区域に生じるキャパシタンスが増大し、これは望ましくない。更に素子の幅が狭くなるので、トレンチ側壁の不純物が「基板の感度」、即ちソースとシリコン基板間の電圧の単位変化当たりの閾値電圧（V_t）の変化を増加させる。基板感度の増加は、素子の性能を損ねることが多い。その上、エッティングされたトレンチの底の隅からガラス層を除去するのは非常に困難な（しかし必要な）作業である。

【0009】端部導通を減少させるもう1つの技法は、分離用トレンチの側壁に対する斜め方向からのイオン注

入を行うことであり、この技法は例えばG. Fuse外による、1987年2月出版のIEEE Transactions on Electron Devices、Vol. ED-34、No. 2、ページ356~360にある論文、「A New Isolation Method with Boron-Implanted Sidewalls for Controlling Narrow-Width Effect」に記述されている。しかしこのような技法の採用は、他の技法を使ったときに明白であった、前記の基板感度やキャパシタンスの増加などの欠点の多くをもたらす可能性がある。

【0010】

【発明が解決しようとする課題】そこでトレンチ分離型FET、特にSTIタイプのFETにおいては、過度の端部導通を制御できる手法の必要性が依然として存在することは明らかである。その手法は寄生的な漏洩電流を減少させ、しかし素子の電気的出力特性には悪影響を与えないものであるべきである。更に端部導通が抑制されたとき、素子の基板感度が目立って増加してはならない。終りにこの手法は、素子の製造を複雑にし又はコスト高にする、追加の製造工程を伴うものであってはならない。

【0011】

【課題を解決するための手段】トレンチ分離型FET素子の閾値以下の漏洩電流特性を改善する方法の発明によって、前述の必要性は満たされることになった。この手法はシリコン基板中のトレンチに隣接して、基板の表面上に水平のレッジ（棚）を形成する工程と、そのあとで素子の端部導通を抑制するのに十分な量の不純物を、レッジ中に垂直方向に注入する工程とを含む。1つの特定の態様として、この方法は次の工程により成立つ。

(a) 酸化物で覆われたシリコン基板上に設けられた積上げ構造体中に、前記酸化物の表面で終端する垂直なスロットを形成し、(b) 前記スロットの側壁にスペーサを形成し、(c) 前記スロットと実質的に自己整合（セルフ・アライン）し、かつ底部と、実質的に垂直な側壁と、前記スペーサの底部間の間隔にほぼ等しい幅とを有するトレンチ（溝）を、前記基板中にエッティングし、(d) スペーサを取り除き、前記酸化物で覆われた前記基板の露出した表面上に、前記トレンチに隣接した水平なレッジ（棚）を露出させ、(e) 前記レッジ中に垂直に不純物を注入する。

後述するようにこの方法を採用することにより、端部導通が実質的に除去され、その結果素子の性能が大きく改善されたFET素子が作られるようになった。本文では浅いトレンチに対する本発明の適用が強調されているが、本発明はすべてのトレンチ分離型FET素子に対して有用である。

【0012】この手法によって作り上げられる保護用構

造体、及びこの保護用構造体を持ったFET素子もまた本文に記述されている。

【0013】

【発明の実施の形態】図1は、典型的な浅いトレンチ分離型FET素子の断面図である。本説明に関する主要な特徴が示されている。この技術分野で熟練した当業者は、その他の特徴（当図では示されていない）もこのような素子には存在することを理解している。こうした特徴とは、例えば種々のp/n接合、空乏領域、等々である。この単純化された図には、シリコン・メサ2が分離トレンチ4によって取囲まれており、このトレンチは適切な充填物質、例えば二酸化ケイ素で満たされている。ゲート導体6は通常ポリシリコンのような物質を使って形成される。

【0014】トレンチ分離4とシリコン・メサ2との間の境界域の上部隅にある、円で囲った区域8A及び8Bは電界が強まる主な場所であり、それにより前記の問題、即ち過度の端部導通が起こる。分離領域の上部がこの図に示されているように、シリコン・メサの上部より引込まれて作られているときは、端部導通の問題はこの上部隅を包み込むゲート導体によって更に増強される。

【0015】図2は、酸化物層12（時には「パッド酸化物層」と呼ばれる）で覆われている、一般にはシリコンで作られる基板10の上部の断面を描いている。酸化物層12は次いで積上げ構造体14によって覆われている。パッド酸化物12は通常比較的薄く、例えばほぼ50オングストロームからほぼ500オングストロームの範囲にあり、例えば基板の高温酸化によって形成することができる。パッド酸化物12はいくつかの他の方法でも作ることができる。例えば二酸化ケイ素、又はシランのような反応性前駆体を、化学気相付着(CVD)によってデポジット（付着）させることもできる。

【0016】積上げ構造体14は1層で形成することもできる。直接にパッド酸化物12の上に付着される単一層は、通常窒化物であり、例えばシリコン窒化物である。この窒化物層（時には「パッド窒化物層」と呼ばれる）はパッド酸化物、及びその下の基板を種々のプロセスの段階で保護することに役立つ。この窒化物層は、通常ほぼ100オングストロームからほぼ6,000オングストロームの範囲の厚みを持ち、この厚みは、ほぼ1,500オングストロームからほぼ3,000オングストロームの範囲であることが望ましい。窒化物層を付着させるには旧来の手法、例えば化学気相付着(CVD)を使う。

【0017】ある種の実施では、積上げ構造体14を少なくとも2層により形成する。例えば、窒化物層の上にポリマー層を付着することができる。半導体製造で共通に使用するさまざまなポリマー、例えばフォトレジスト物質として一般に使われているようなものが使用可能である。積上げ構造体の上部層としてフォトレジスト物質

が使われるときは、その物質は引き続いて積上げ構造体中にスロットを形成する（以降に説明する）ときに恐らく使用される、フォトレジスト物質から分離されなくてはならない。2つのフォトレジスト物質の分離は両者の中に入る薄膜、例えば低温CVD酸化物、又は窒化物で形成された薄膜を使うことによって行うことができる。このような薄膜は、ほぼ100オングストロームからほぼ500オングストロームの範囲の厚みをもつ。

【0018】次の製造手順の中で大量の熱発生を伴う過酷なプロセス工程が使われるときは、積上げ層の第一層（例えば窒化物層）上にデポジットされるポリマー層は、ポリイミド物質のような耐熱性をもつ物質で形成されるべきである。このポリマー層の厚さは、（通常の温度用の物質でも高温用の物質でも）部分的には、プロセス条件及び採用される他の物質の性質によって決まる。一般的にはこの厚さは（硬化後）、ほぼ1,000オングストロームからほぼ6,000オングストロームの範囲にある。ポリマー層は旧来の手法、例えばスピニングによって付着できる。窒化物層の上にポリマー層を付着させるときは、窒化物層の厚さは、通常ほぼ500オングストロームからほぼ1,000オングストロームの範囲になる。

【0019】時にはポリマー層の上に低温CVD酸化物薄膜、又は窒化物薄膜を付着させる。この場合にはこのような薄膜は、積上げ構造体を通したイメージ伝達の品質を改善する。この薄膜は通常ほぼ100オングストロームからほぼ500オングストロームの範囲の厚さをもつ。

【0020】積上げ層14の一部分として使われるもう1つの任意の層として、プラズマ酸化物層か又はプラズマ窒化物層のようなプラズマ・デポジット層がある。この層もまた積上げ構造体を通したイメージ伝達の品質を改善するのに役立つ。このプラズマ層は通常ほぼ100オングストロームからほぼ500オングストロームの範囲の厚さをもつ。このような層を作り上げる手法は技術的に周知のものである。プラズマ増強CVD(PECVD)が1つの共通の手法である。

【0021】前記の代表的な積上げ構造体の代りの手法も、勿論可能である。例えばプラズマ・デポジットの層及びポリマー層の代りに、単一の酸化物層を窒化物層の上に付着させることができる。この層用の酸化物の物質は、より速いエッチングのために低密度であることが望ましい。このような層を付着させるためにプラズマCVDを採用できる。酸化物層は通常、ほぼ1,000オングストロームからほぼ6,000オングストロームの範囲の厚さをもつ。

【0022】この積上げ構造体を作り上げるには、他のさまざまな層、又は層の組合せを採用できることを理解いただきたい。この構造体の特定の特性は、通常本発明に対して決定的に重要ではない。最も適切な層の選択

は、多様な要素に基づいて半導体製造技術中の通常の技術を持つ当業者が決定できる。それらの要素には、その後のエッチングの条件、スペーサ物質（以降に説明あり）の望ましいタイプ、スペーサの望ましい幅、プロセス温度の要件、エッチング時の選択項目などがある。

【0023】図3に示すように、その後に積上げ構造体14中にスロット16が形成される。スロットの両側面が17A及び17Bとして明示され、スロットの底は番号18として参照されている。このようなスロットは旧来の技法によって形成できる。例えば、適切なフォトレジスト層（示されていない）を積上げ層の上面を覆って付着させ、その後でスロットの寸法を決めるためにパターン化する。次に定義された区域を、例えば反応性イオン・エッチング（RIE）の技法によって方向付けてエッチングする。スロット16の寸法は、勿論必要とされるトレンチの寸法によって決まる。トレンチは、結果としてスロットのすぐ下に形成されることになる。通常スロットは、ほぼ0.1ミクロンからほぼ2.0ミクロンの範囲の幅をもっている。しかしそれは製造する特定のFETに依存し、例えば1センチメートル近くまたはそれ以上まで、極めて大きくすることも可能である。更にマイクロエレクトロニクスに造詣が深い人々は、必然的な技術の進歩の結果、0.1ミクロンよりはるかに小さいスロットを使用することにもなることを理解している。本発明は、そのような状況の下でもまた十分に使用できることが期待されている。

【0024】その次にエッチングされた層の側壁（即ちスロット16の側壁17Aと17B）に図4、図5に示すようにスペーサを形成する。スペーサは、例えばスペーサ物質の均一な層（図4の層19）を、酸化物層12及び積上げ構造体14の実質的にすべての露出面に付着させ、その後スペーサ層のすべての水平に付着された領域をエッチングすることによって形成できる。

【0025】適切なスペーサ物質の選択は、部分的には積上げ層を形成する物質、及びそれらの物質のそれぞれのエッチング選択性に依存している。適切なスペーサ物質の実例は、プラズマ・デポジットによるCVD酸化物（例えば二酸化ケイ素）、及びバリレン又はフォトレジスト物質のようなポリマーである。スペーサ層の水平領域のエッチングは、シリコン基板上に方向付けされた反応性イオン・ビームを、下向きに注ぐことによって行われる。エッチング処理の後、図5に示すようにスペーサ20A及び20Bが残る。以降に説明するように、トレンチが形成される間スペーサはその場に残る。

【0026】図6に示すようにトレンチ22を作り上げるためにRIEのような方向付けされたエッチング方法が使われる。トレンチは酸化物層12を完全に貫通し、シリコン基板10中に伸びている。FET素子ではこの深さは通常、ほぼ0.1ミクロンからほぼ1.0ミクロンの範囲にある。浅いトレンチの技術では、この深さは通

常ほぼ0.5ミクロンより小さい。

【0027】トレンチの側壁26A及び26Bは、基板の水平面に対して実質的に垂直であるべきで、即ちほぼ70度より小さくなく、望ましくはほぼ85度より小さくない角度であるべきである。図6及び図7に明白に示したように、トレンチの幅は、2つのスペーサ20A及び20Bの底部間の間隔にはば等しい。典型的なFETではこの幅は通常、ほぼ0.1ミクロンからほぼ2.0ミクロンの範囲にある。しかしスロットに関連して前述10したように、この技術分野に熟練した当業者は、本発明はこの範囲を越えた、即ち0.1ミクロン以下、又はほぼ2.0ミクロン以上のトレンチ幅にも適用できることを理解するはずである。

【0028】図7に示したように、スペーサはトレンチ22の形成の後に除去される。スペーサの除去は、例えばもう1つのエッチング手順、つまり通常はプラズマ・エッチング（等方性モード）、又は湿式化学エッチングのような等方性エッチングのいずれかの手順によって行うことができる。この技術分野の通常の技術を持つ当業者は、スペーサの除去に対して採用される特定のエッチング技法が、シリコン基板又は素子中の他のいかなる層にも影響を与えないように選択されねばならないことを理解している。

【0029】スペーサの除去により水平のレッジ（図7の28A及び28B）が現われ、この部分は本発明の主要な要素である。望ましい実施例では、このレッジの上面は露出したバッド酸化物層12である。バッド酸化物層がスペーサの除去と一緒に取除かれてしまうときは、新しい酸化物層を今まで存在した酸化物層の厚さと同じ厚さに、高温下で再成長させることができる。

【0030】代替実施例においては、バッド酸化物層は再生される必要がない（あるいはスペーサ除去後にバッド酸化物層が残っているときは、意識的に取除く）。言い換えれば、レッジの上面は基板の表面そのものであり、不純物は直接に基板中に注入することができる。この種の注入法においては、ゲート酸化物の品質が悪影響を受けないように注意が必要である。

【0031】図7でトレンチのそれぞれの側面の上部に28A及び28Bとして示されているこれらのレッジは、積上げ層によって覆われていない基板の上面によって形成されている。レッジはスロットの側壁からトレンチの縁まで伸びている。そしてレッジの長さはスロット側壁の底部の隅（即ちトレンチ22から最も遠い隅）からトレンチの縁までの間隔として定義される。この長さは図7の断面図中に見られるように、寸法「X」として示されている。この長さは、通常ほぼ100オングストロームからほぼ2,000オングストロームの範囲にある。ほぼ2,000オングストローム以上の長さになると、素子の実効幅を減じることになり、これに対し、ほぼ100オングストロームに満たない長さでは、端部導

通を減少させるのに十分な不純物注入をすることができない。望ましいレッジの長さは、ほぼ100オングストロームからほぼ1,500オングストロームの範囲であり、本発明のある種の実施例において特に望ましいレッジの長さは、ほぼ100オングストロームからほぼ500オングストロームの範囲である。

【0032】前述のようにその後にこのレッジに対して、図8に示されているように不純物が垂直に注入される。不純物の選択は、当然のこととして製造される特定のFET素子に依存している。例えばFET素子がnチャネル型であるときは、通常ホウ素（ポロン）が不純物として使われる。FET素子がpチャネル型であるときは通常は、ヒ素又はリン（燐）が不純物として使われる。図8で記号「！」は、不純物イオンの注入を示すために使われている。

【0033】不純物を注入する技法は当該技術分野では周知のことであり、例えば次の参考書、1979年、McGraw-Hill社出版、J. Millman著の「Microelectronics」、1978年、McGraw-Hill社出版、E. S. Yang著の「Fundamentals of Semiconductor Devices」、1988年、McGraw-Hill社出版、S. M. Sze（編集）による「VLSI Technology」に記述されている。実際の注入においては一般にイオン注入器が使われる。ジボラン、ホスフィン、又はアルシンなどのような不純物源を導入するためには、通常窒素のような不活性のキャリア・ガスが使われる。

【0034】図8に示すように注入の方向は、シリコン基板の上面に対して実質的に垂直である。この技術分野で普通の知識を持つ当業者は、現在利用できる機器を使って注入方向を非常に正確に制御できることを理解している。それ故に注入の方向は、基板の上面に対して実質的に垂直にすべきである。

【0035】レッジに注入される不純物原子の濃度は通常、1立方センチ・メートル当りほぼ 5×10^{16} 原子から、1立方センチ・メートル当りほぼ 5×10^{17} 原子の範囲である。前記の大きい方の値より大きい不純物量になると、素子のブレークダウン問題を引きこし、特に近傍に高い注入濃度のソース拡散領域があるときは起こしやすい。前記の低い方の値より小さい不純物量では、素子の端部導通を低下させるのに十分ではない。

【0036】レッジへの不純物注入の適切な量を表すもう1つの方法は、素子中のチャネルへの注入のレベルに関係付けるものであり、即ち（素子の隅又は「端部」ではなく）素子の中央部の幅におけるものである。本発明においてレッジに注入される不純物原子の濃度は、チャネルへの不純物注入濃度最大値のほぼ2倍からほぼ4倍であるべきである。そこでチャネルへの不純物注入濃度の最大値が、1立方センチ・メートル当り 2×10^{17} 原

子であるときは、レッジ中の不純物原子濃度は1立方センチ・メートル当りほぼ 4×10^{17} から、1立方センチ・メートル当りほぼ 8×10^{17} 原子であるべきである。更に特定の不純物濃度については、後記のように素子のシミュレートされた電流输出特性を観察することによって決定できる。

【0037】図8には不純物イオンを注入する一般的領域が点描によって示されている。図から明らかなように、レッジへ不純物を注入すると、結果的にはトレンチの底24にも不純物の一部が注入される。トレンチ底への注入は望ましいものであり、それは一般に素子の分離特性を改善し、特にSTIの場合に改善効果が大きいからである。

【0038】イオン注入の深さは、部分的にはイオン注入器の注入エネルギーの設定に依存している。例えば端部導通を抑制するために、1価のホウ素イオン（B+）を注入するときのエネルギー・レベルは、通常ほぼ10KeVからほぼ50KeVの範囲である。他の不純物に対する適切な注入エネルギー・レベルは、この分野の技術に熟練した当業者が過度な労力なしに決定できる。レッジに関する注入深さは、端部導通を実質的に除去するのに丁度十分になるところにすべきである。その丁度十分な深さよりも大きなイオン浸透、即ちトレンチの側壁への浸透は、端部導通を十分に抑制できないばかりか基板感度を増加させ、接合部キャパシタンスを増加させることにもなる可能性がある。基板への不純物浸透の一般的な深さの範囲は、ほぼ50オングストロームからほぼ1,500オングストロームの範囲である。望ましくはその範囲は、ほぼ100オングストロームからほぼ500オングストロームである。トレンチの底24に対しては、同じ範囲の不純物浸透が起こることになる。

【0039】前述のように、トレンチの側壁26A及び26Bに含まれる不純物原子の濃度は、できるだけ小さいことが重要である。本発明（即ち基板レッジへの垂直方向のイオン注入を含む技術）を使用すると、結果としてトレンチの側壁に注入される不純物原子の濃度が、レッジに注入される不純物原子濃度の最大値のほぼ30%以下になる。望ましい実施例においては、側壁に注入される不純物原子の濃度は、レッジに注入される不純物原子濃度のほぼ10%より小さい。

【0040】本発明に従って不純物を注入した後、標準のCMOSトレンチ分離手法（本文では記述されていない）を使って、素子の製造を完成させることができる。一般的にはトレンチは、次にCVD酸化物（テトラエトキシ・モノシラン（TEOS）から作ることができる）のような絶縁物で充填され、その後に平坦にされる。次に積上げ構造体及びパッド酸化物（存在する場合）を除去し、ゲート酸化物領域を成長させ（又はデポジットして）画定する。そしてゲート導体を画定し、ソース及びドレイン領域に不純物を注入する。その後に配線を配置

することができる。この技術分野で周知のそれ以外の手順、例えば絶縁層の付着、バイア穴の形成、等々を適切ならば実施してもよい。

【0041】トレンチ分離の技法は、例えばDavar i外による前記の論文や、同様に次の参考文献に一般的に記述されている。それらはIEEE Ct. No. 8 8CH-2597-3、ページ19~20にあるT. Miura外による「1988 Symposium on VLSI Technology」、1986年1月発行のIBM Technical Disclosure Bulletin、Vol. 29, No. 6、ページ2760~2761などである。更にFETの製造技法は、前記のMillman及びSzéによるテキストのような多くの文献に、一般的に記述されている。CMOS素子もまた当該技術全体を通じて、例えば前記のChenによる発明に記述されている。

【0042】前記の説明からも明らかなように、本発明のもう1つの面は、改良されたトレンチ分離型のFET素子を作るのに有用な、保護構造体に関係している。この保護構造体は次のものから成立っている。即ち、(a) 酸化物で覆われたシリコン基板であって、その上に積上げ構造体があり、その中に基板の水平な上面に伸びているスロットがあるものと、(b) 基板の中に入り込んでいる少くとも1つの分離用トレンチであって、このトレンチはスロットによって実質的に自己整合され、トレンチ底及び実質的に垂直なトレンチ側壁を持つものと、(c) 積上げ構造体によって覆われていない、酸化物で覆われた基板の上面によって形成されている水平なレジットであって、トレンチから最も遠い積上げ構造体の垂直な端部から、トレンチの上部の縁まで伸びているものと、(d) 1立方センチ・メートル当たりほぼ 5×10^{16} からほぼ 5×10^{17} の不純物原子の濃度で、レジット中に注入された不純物とより成る。

【0043】望ましい実施例においては、レジットに注入される不純物原子の濃度は、チャネルへの注入濃度の最大値の原子濃度のほぼ2倍からほぼ4倍であり、トレンチの側壁に注入される不純物原子の濃度は、レジット中の濃度のほぼ30%より小さい。更に積上げ構造体は、前記の手法で作ることができる。

【0044】前記のように保護構造体は、改良されたFETを作るのに非常に有用である。このような素子は、最低限度以下の分離特性をもつものとして容易に製造することができ、その結果ソースとドレイン間により大きな相互接続領域を提供することができる。その故にこのような構造をもつトレンチ分離型FETは、本発明のもう1つの面を構成する。

【0045】図9は、本発明によらないで製作されたFET素子の、一般的な出力特性を表している。図10は、本発明の教示に従って製作された同じタイプの素子の、一般的な出力特性を示している。電流対ゲートソ

ース間電圧の特性が、それぞれの素子に対してシミュレートされており、そしてこの特性は、1,000オングストロームのゲート「ラップ・アラウンド」をもつ素子の、三次元FIELD DAYモデルを使って得られた。このようなシミュレーション技法は例えば、E. Buturla外によるNASCODE VI中の「A New Three-Dimensional Device Simulation Formulation」、DublinのJ. J. H. Miller編集によるProc. Sixth. Inter. Conf. 中の「Numerical Analysis of Semiconductor Devices and Integrated Circuits」、及び1989年のBoole Pres Ltd.、ページ291等々に記述されている。

【0046】それぞれのシミュレーションにおいて、それぞれの曲線はさまざまな素子幅を表しており、次のパラメータは維持されている。

$$L_{eff} \text{ (素子の実効チャネル長)} = 0.25 \text{ ミクロン}$$

$$V_{ds} \text{ (ドレインとソース間の電圧)} = 3.6 \text{ ボルト}$$

$$V_{sx} \text{ (ソースとシリコン基板間の電圧)} = 0.0 \text{ ボルト}$$

$$T \text{ (シリコン基板の温度)} = 85^\circ\text{C}$$

【0047】図9を参照すると、ゲートとソース間の電圧のほぼ0.3Vからほぼ0.7Vの範囲で曲線に「キンク即ち変曲部」があり、素子の幅にわたってほぼ400mVの閾値電圧(Vt)の変動が見られる。この変動は時には「デルタVt」として表され、端部導通のひどさを示すものとなる。(理想的にはデルタVtを可能な限りゼロに近づけるべきである。)前述のように、このような低電力、低漏洩電流の素子に対して端部導通は重大な問題であり、これらの素子は、ゲート-ソース間電圧の増加に伴ってソース電流が非常に急速に増加することができるときのみ、適切に動作する。この曲線のキンクを除去する試み、即ち素子全体に更に多くの不純物を注入することによって端部導通を減少させる方法はある程度うまく行くであろうが、一方で素子の動作速度も遅くしてしまう。

【0048】前述のように図10は、本発明の手法で形成した素子の出力特性を表している。曲線のキンクは明らかに除去されており、これは端部導通がほぼ完全に抑制されているからである。同じソース電流変化範囲においてデルタVtはほぼ25mV以下であり、基板感度や接合部キャパシタンスの増加もない。

【0049】本発明の方法で形成した素子の非動作時の電流は、端部導通を抑制した故に十分に減少している(一般に2桁減る)。このことによりチャネル部への不純物注入を減らすことができ、しかも非動作時の電流を減らす目的には合っている。図10に示された出力特性をもつ、本発明の方法で形成した素子においては、チャ

40 成した素子の出力特性を表している。曲線のキンクは明らかに除去されており、これは端部導通がほぼ完全に抑制されているからである。同じソース電流変化範囲においてデルタVtはほぼ25mV以下であり、基板感度や接合部キャパシタンスの増加もない。

【0049】本発明の方法で形成した素子の非動作時の電流は、端部導通を抑制した故に十分に減少している(一般に2桁減る)。このことによりチャネル部への不純物注入を減らすことができ、しかも非動作時の電流を減らす目的には合っている。図10に示された出力特性をもつ、本発明の方法で形成した素子においては、チャ

13

ネルへの不純物注入が減らされており、1ミクロンの素子幅Wに対しての非動作時電流は、高い端部導通を示す（図9）素子の非動作時電流に等しくなる。それ故により大きな動作時電流を実現できる。図10から明らかなように、ソース電流は素子の幅Wにかなり比例に近い関係になり、それは全ソース電流に対する端部導通の寄与が無視できるからである。

【図面の簡単な説明】

【図1】浅いトレンチ分離型FET素子の断面図である。

【図2】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

【図3】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

【図4】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

【図5】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

【図6】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

【図7】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

* 程を示す。

【図8】本発明の一実施例に従って形成されるFET素子のための例示的な保護構造を作る際に使用される一工程を示す。

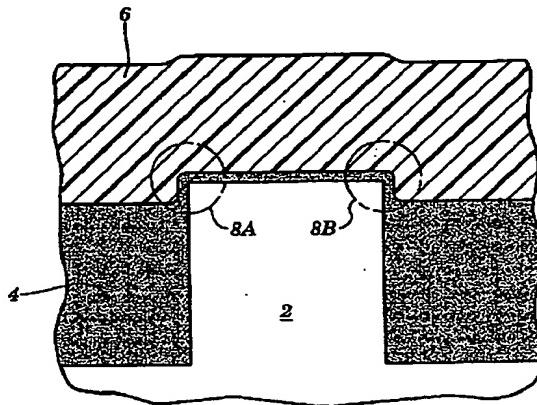
【図9】本発明の方法によらないで形成されたFET素子の典型的な出力特性を表す。

【図10】本発明の教示に従って形成されたFET素子の典型的な出力特性を表す。

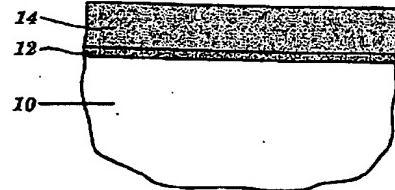
【符号の説明】

10	2	シリコン・メサ
	4	トレンチ
	6	ゲート導体
	8A, 8B	電界が強まる場所
	10	シリコン基板（サブストレート）
	12	酸化膜層
	14	積上げ構造体
	16	スロット
	17A, 17B	スロットの両側面
	18	スロットの底
20	19	スペーサ層
	20A, 20B	スペーサ
	22	トレンチ
	24	トレンチの底
	26A, 26B	トレンチの側壁
	28A, 28B	水平なレッジ
	X	レッジの長さ
	I	不純物イオン注入

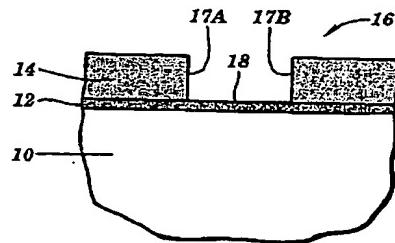
【図1】



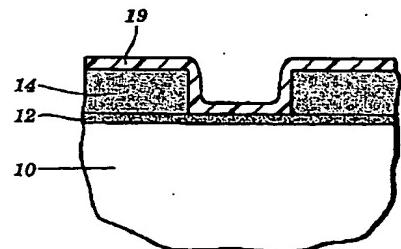
【図2】



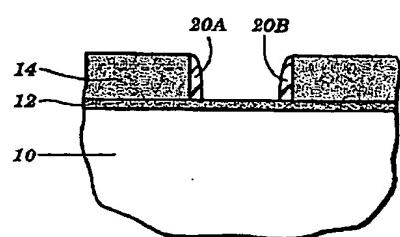
【図3】



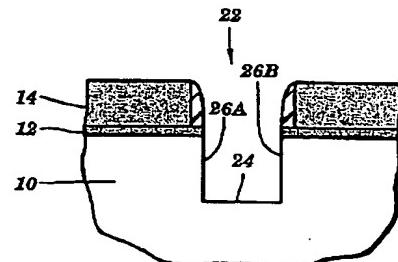
【図4】



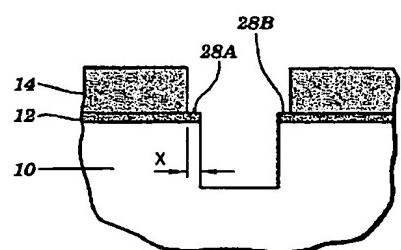
【図5】



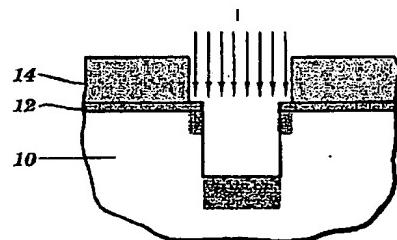
【図6】



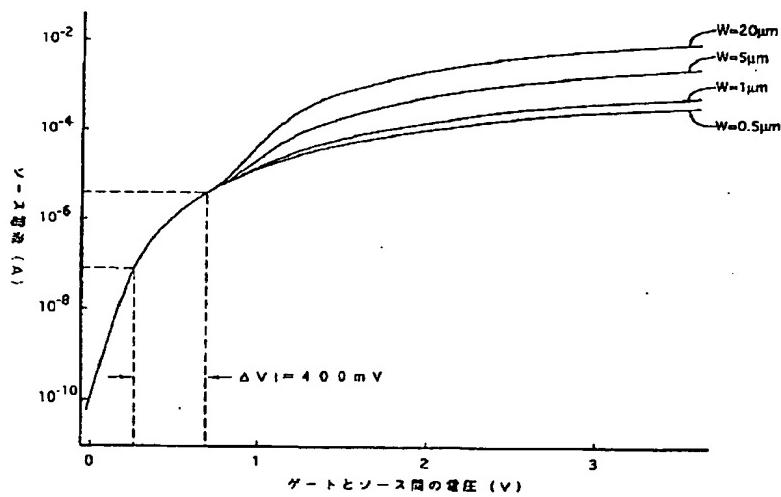
【図7】



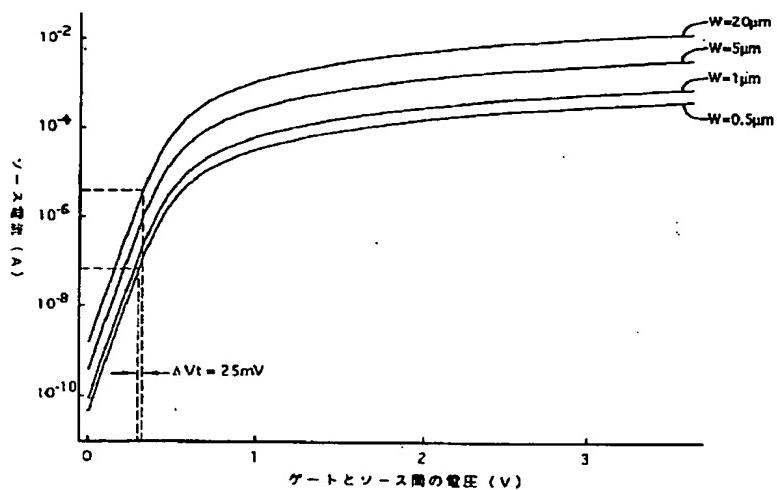
【図8】



【図9】



[図10]



フロントページの続き

(72)発明者 ジャック・アラン・マンデルマン
アメリカ合衆国12582、ニューヨーク州ス
トームビル、ジャミー・レイン 5

(72)発明者 ウィリアム・ロバート・トンティ
アメリカ合衆国05452、バーモント州エセ
ックス・ジャンクション、ブルーステム・
ロード 4